

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-165709

(43)Date of publication of application : 26.06.1990

(51)Int.Cl.

H03F 3/343
H03F 3/08

(21)Application number : 63-319587

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.12.1988

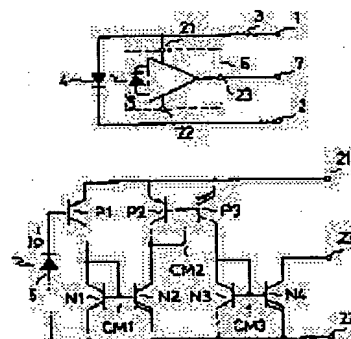
(72)Inventor : KITAJIMA TOMOKAZU
SUZUNAGA HIROSHI

(54) LIGHT RECEIVING SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To attain low power consumption by providing a PNP transistor and an NPN transistor between power source terminals on high and low potential sides and a photodiode between the base of the PNP transistor and the power source terminal on the low potential side.

CONSTITUTION: In a light receiving semiconductor integrated circuit 6, since a source voltage supplied to a photoelectric current amplifier circuit can be managed by a low voltage, for example, equivalent to the sum of a voltage between the base and emitter of a first NPN transistor N1 and the voltage between the collector and emitter of a first PNP transistor P1, for example, around 0.9V, the low power consumption can be realized. In such a case, when the source voltage is higher than the voltage in the forward direction of a light emitting diode (for example, GaAs-light emitting diode) 4, a photointerruptor can be comprised by connecting the light emitting diode 4 in parallel with the light receiving semiconductor integrated circuit 6, namely, by connecting the light emitting diode 4 directly between the Vcc power source terminal 21 of the light receiving semiconductor integrated circuit 6 to a ground potential terminal 22.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

平2-165709

⑬ Int.Cl.⁵H 03 F 3/343
3/08

識別記号

A

庁内整理番号

6751-5 J
6751-5 J

⑭ 公開 平成2年(1990)6月26日

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 受光半導体集積回路

⑯ 特 願 昭63-319587

⑰ 出 願 昭63(1988)12月20日

⑱ 発 明 者 北 嶋 知 和 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑲ 発 明 者 鈴 永 浩 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

受 光 半 導 体 集 積 回 路

2. 特許請求の範囲

(1) 高電位側の電源端子と低電位側の電源端子との間に直列に接続されているPNPトランジスタおよびコレクタ・ベース相互が接続されたNPNトランジスタと、

前記PNPトランジスタのベースと前記低電位側の電源端子との間に接続されているフォトダイオードと

を具備することを特徴とする受光半導体集積回路。

(2) フォトダイオードと、

このフォトダイオードの光電流出力を増幅する少なくとも1つのカレントミラー回路を含む光電流増幅回路と

を具備することを特徴とする受光半導体集積回路。

(3) 高電位側の電源端子と低電位側の電源端

子との間に直列に接続されているPNPトランジスタおよびコレクタ・ベース相互が接続されたNPNトランジスタと、

前記PNPトランジスタのベースと前記低電位側の電源端子との間に接続されているフォトダイオードと、

前記高電位側の電源端子と低電位側の電源端子との間に接続され、前記フォトダイオードの光電流出力を増幅する少なくとも1つのカレントミラー回路を含む光電流増幅回路と

を具備することを特徴とする受光半導体集積回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、光感応素子(以下、フォトダイオードと記す)を含んだ受光半導体集積回路に係り、特にフォトインタラプタなどに使用されるものである。

(従来技術)

従来のフォトインタラプタには、第5図に示すように、発光ダイオード51と、この発光ダイオード51の発光出力を受光するフォトトランジスタ52と、このフォトトランジスタ52の光電流出力を増幅するトランジスタ53と、チップ抵抗54および55との各個別部品を回路基板上に実装して半田付け接続したものである。しかし、このようなフォトインタラプタは、使用部品点数が多く、組立て工数等を必要とし、コストが高くなってしまう。

また、従来のフォトインタラプタには、第6図に示すように、発光ダイオード61とチップ抵抗62と受光半導体集積回路63とを使用したものがある。このようなフォトインタラプタで使用される従来の受光半導体集積回路63は、発光ダイオード61の発光出力を受光するフォトトランジスタ64と、このフォトトランジスタ64の光電流出力を増幅する増幅回路65と、パルス化回路66と、電流増幅回路67と、定電圧回路68と

なる受光半導体集積回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明の受光半導体集積回路の1つは、高電位側の電源端子と低電位側の電源端子との間に直列に接続されているPNPトランジスタおよびコレクタ・ベース相互が接続されたNPNトランジスタと、上記PNPトランジスタのベースと前記低電位側の電源端子との間に接続されているフォトダイオードとを具備することを特徴とする。

また、本発明の受光半導体集積回路の1つは、フォトダイオードと、このフォトダイオードの光電流出力を増幅する少なくとも1つのカレントミラー回路を含む光電流増幅回路とを具備することを特徴とする。

また、本発明の受光半導体集積回路の1つは、高電位側の電源端子と低電位側の電源端子との間に直列に接続されているPNPトランジスタおよびコレクタ・ベース相互が接続されたNPNトラ

からなる。

このようなフォトインタラプタは、受光半導体集積回路63を使用しているので使用部品点数が少なく済むが、内部の光電流増幅用トランジスタの電流増幅率のばらつきが大きいと、受光感度のばらつきが大きくなるという問題がある。また、従来の受光半導体集積回路63は、電源電圧 V_{cc} として、発光ダイオード(GaAs発光ダイオード、GaAlAs発光ダイオード等)61の順方向電圧に比べてかなり高い5V程度が必要であり、消費電力が大きくなってしまふ。

(発明が解決しようとする課題)

本発明は、上記したように従来の受光半導体集積回路は、光電流増幅用トランジスタの電流増幅率のばらつきが大きいと、受光感度のばらつきが大きくなり、また、電源電圧として5V程度が必要であり、消費電力が大きくなるという問題点を解決すべくなされたもので、低電源電圧下での使用が可能になって低消費電力化が可能になり、および/あるいは、受光感度のばらつきが小さく

ンジスタと、上記PNPトランジスタのベースと前記低電位側の電源端子との間に接続されているフォトダイオードと、上記高電位側の電源端子と低電位側の電源端子との間に接続され、上記フォトダイオードの光電流出力を増幅する少なくとも1つのカレントミラー回路を含む光電流増幅回路とを具備することを特徴とする。

(作用)

本発明の受光半導体集積回路の1つによれば、高電位側の電源端子と低電位側の電源端子との間の電源電圧は、コレクタ・ベース相互が接続されたNPNトランジスタのベース・エミッタ間電圧とPNPトランジスタのコレクタ・エミッタ間電圧との和に相当する低い電圧で済み、低消費電力化が可能になる。この場合、この電源電圧が発光ダイオード(例えばGaAs発光ダイオード)の順方向電圧よりも大きければ、この発光ダイオードを上記受光半導体集積回路に並列に、即ち、この発光ダイオードを前記高電位側の電源端子と低電位側の電源端子との間の直接に接続してフォト

インタラプタを構成することが可能になる。

また、本発明の受光半導体集積回路の1つによれば、フォトダイオードの光電流出力を少なくとも1つのカレントミラー回路を含む光電流増幅回路により増幅するので、光電流増幅用トランジスタの電流増幅率のばらつきが小さくなり、受光感度のばらつきが小さくなる。

また、本発明の受光半導体集積回路の1つによれば、高電位側の電源端子と低電位側の電源端子との間の電源電圧は、コレクタ・ベース相互が接続されたNPNトランジスタのベース・エミッタ間電圧とPNPトランジスタのコレクタ・エミッタ間電圧との和に相当する低い電圧で済み、低消費電力化が可能になる。しかも、フォトダイオードの光電流出力を少なくとも1つのカレントミラー回路を含む光電流増幅回路により増幅するので、光電流増幅用トランジスタの電流増幅率のばらつきが小さくなり、受光半導体集積回路の受光感度のばらつきが小さくなる。

第1のPNPトランジスタP1のベースと接地電位端子22との間にフォトダイオード5が接続されている。第1のNPNトランジスタN1に、第2のNPNトランジスタN2がカレントミラー接続されて第1のカレントミラー回路CM1が構成されている。

さらに、Vcc電源端子21と第2のNPNトランジスタN2のコレクタとの間に、コレクタ・ベース相互が接続された第2のPNPトランジスタP2が接続され、この第2のPNPトランジスタP2に第3のPNPトランジスタP3がカレントミラー接続されて第2のカレントミラー回路CM2が構成されている。

さらに、第3のPNPトランジスタP3のコレクタと接地電位端子22との間に、コレクタ・ベース相互が接続された第3のNPNトランジスタN3が接続され、この第3のNPNトランジスタN3に第4のNPNトランジスタN4がカレントミラー接続されて第3のカレントミラー回路CM3が構成されており、この第4のNPNトランジスタN4はコレクタが受光検出力端子23に接続されている。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図に示すフォトインタラプタにおいて、フォトインタラプタ電源端子1と接地電位端子2との間には、電源電圧降下用抵抗3および発光ダイオード4が直列に接続されており、この発光ダイオード4の発光出力を受光するフォトダイオード5を含み、発光ダイオード4との光結合の有無を検出する受光半導体集積回路6が、この発光ダイオード4に並列に接続されており、この受光半導体集積回路6の出力がフォトインタラプタ出力端子7に取出されている。

受光半導体集積回路6は、例えばシリコンチップ上に第2図に示すように回路が形成されている。即ち、高電位側の電源端子（本例ではVcc電源端子21）と低電位側の電源端子（本例では接地電位端子22）との間に、第1のPNPトランジスタP1およびコレクタ・ベース相互が接続された第1のNPNトランジスタN1が直列に接続され、

第1のカレントミラー回路CM1乃至第3のカレントミラー回路CM3は、光電流増幅回路を形成している。

なお、第1のカレントミラー回路CM1における第1のNPNトランジスタN1と第2のNPNトランジスタN2とのエミッタ面積比は例えば1:2、第2のカレントミラー回路CM2における第2のPNPトランジスタP2と第3のPNPトランジスタP3とのエミッタ面積比は例えば1:2、第3のカレントミラー回路CM3における第3のNPNトランジスタN3と第4のNPNトランジスタN4とのエミッタ面積比は例えば1:2である。

受光半導体集積回路6においては、フォトダイオード2が発光ダイオードの発光出力を受光している時に発生する光電流 I_p は、第1のPNPトランジスタP1および第1のカレントミラー回路

CM1乃至第3のカレントミラー回路CM3からなる光電流増幅回路により増幅されて受光検出力端子23に出力する。この場合、各カレントミラー回路において、対をなす2個のトランジスタ（例えばN1とN2）が同じ特性を持っているとすれば、この2個のトランジスタ（例えばN1とN2）のエミッタ電流はエミッタ面積比に等しくなる。従って、このトランジスタの電流増幅率 h_{fe} が100程度以上であれば、ベース電流の大きさを無視でき、この2個のトランジスタ（例えばN1とN2）のコレクタ電流はエミッタ面積比により決まる。従って、対をなす2個のトランジスタ（光電流増幅用トランジスタ）の電流増幅率のばらつきが小さくなり、受光半導体集積回路6の受光感度のばらつきが小さくなる。

また、受光半導体集積回路6においては、光電流増幅回路に供給される電源電圧は、例えば第1のNPNトランジスタN1のベース・エミッタ間電圧と第1のPNPトランジスタP1のコレクタ・エミッタ間電圧との和に相当する例えば

トランジスタP4が接続され、この第4のPNPトランジスタP4に第1のPNPトランジスタP1がカレントミラー接続されて第4のカレントミラー回路CM4が構成されている点と、各カレントミラー回路におけるトランジスタ対のエミッタ面積比は1:1である点が異なり、その他は同じであるので第1図中と同一符号を付している。

第4図は、本発明のさらに他の実施例に係る受光半導体集積回路6を示しており、第1図に示した受光半導体集積回路6と比べて、光電流増幅回路の例えば第3のカレントミラー回路CM3が省略され、第2のカレントミラー回路CM2の出力側に検出電流閾値設定回路41が挿入されている点と、各カレントミラー回路におけるトランジスタ対のエミッタ面積比は1:1である点が異なり、その他は同じであるので第1図中と同一符号を付している。

検出電流閾値設定回路41は、Vcc電源端子21と接地電位端子22との間に、抵抗42とコレクタ・ベース相互が接続された第5のNPNト

0.9V程度の低い電圧で済むので、低消費電力化が可能になる。この場合、この電源電圧が発光ダイオード（例えばGaAs発光ダイオード）4の順方向電圧よりも大きければ、第1図に示したように、発光ダイオード4を受光半導体集積回路6に並列に、即ち、発光ダイオード4を受光半導体集積回路6のVcc電源端子21と接地電位端子22との間の直接に接続してフォトインタラプタを構成することが可能になる。

なお、上記実施例では、光電流増幅回路の一部にカレントミラー回路が含まれていたが、第3図に示す受光半導体集積回路6のように、光電流増幅回路の全部をカレントミラー回路により形成すれば、光電流増幅用トランジスタの電流増幅率のばらつきが一層小さくなり、受光半導体集積回路6の受光感度のばらつきが一層小さくなる。

即ち、第3図に示す受光半導体集積回路6は、第1図に示した受光半導体集積回路6と比べて、Vcc電源端子21とフォトダイオード5との間に、コレクタ・ベース相互が接続された第4のPNP

トランジスタN5が直列に接続され、この第5のNPNトランジスタN5に第6のNPNトランジスタN6がカレントミラー接続されて第5のカレントミラー回路CM5が構成されている。そして、この第6のNPNトランジスタのコレクタN6は、第2のカレントミラー回路CM2の第3のPNPトランジスタP3のコレクタに接続されている。さらに、この第6のNPNトランジスタN6のコレクタに、第7のNPNトランジスタN7のベースが接続され、この第7のNPNトランジスタN7のエミッタは接地電位端子22に、コレクタは受光検出力端子23に接続されている。

このような第4図の受光半導体集積回路6においては、フォトダイオード5が発光ダイオードの発光出力を受光している時、第2のカレントミラー回路CM2の出力電流が第6のNPNトランジスタN6のコレクタ電流より小さいと、その全てが第6のNPNトランジスタN6のコレクタ電流として吸い込まれ、受光検出力用の第7のNPNトランジスタN7はオフ状態である。これ

に対して、第2のカレントミラー回路CM2の出力電流が、第6のNPNトランジスタN6のコレクタ電流よりも大きくなって受光検出力用の第7のNPNトランジスタN7にオン動作に必要なベース電流を流し始めると、第7のNPNトランジスタN7はオン状態になる。このように検出電流閾値設定回路41の動作によって、受光検出力用の第7のNPNトランジスタN7のオン動作に必要なベース電流（閾値）を設定することが可能になり、受光検出力のオン／オフの切替えが鋭くなる。

なお、上記各実施例においては、光電流増幅回路に低電源電圧を供給すると共に、フォトダイオード5の光電流出力を少なくとも1つのカレントミラー回路を含む光電流増幅回路により増幅しているが、光電流増幅回路に上記実施例と同様に低電源電圧を供給することと、少なくとも1つのカレントミラー回路を含む光電流増幅回路により増幅実施することを、別々に実施してもよい。

【発明の効果】

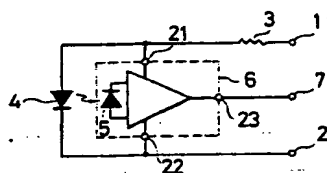
上述したように本発明によれば、低電源電圧下での使用が可能になって低消費電力化が可能になり、および／あるいは、受光感度のばらつきが小さくなる受光半導体集積回路を実現できる。

4. 図面の簡単な説明

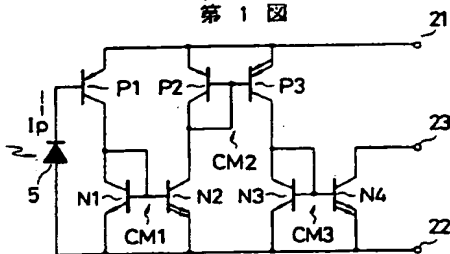
第1図は本発明の受光半導体集積回路の一応用例であるフォトインタラプタを示す回路図、第2図は本発明の受光半導体集積回路の一実施例を示す回路図、第3図および第4図はそれぞれ本発明の受光半導体集積回路の他の実施例を示す回路図、第5図および第6図はそれぞれ従来のフォトインタラプタを示す回路図である。

4…発光ダイオード、5…フォトダイオード、
6…受光半導体集積回路、21…V_{cc}電源端子、
22…接地電位端子、23…受光検出出力端子、
P1～P4…PNPトランジスタ、N1～
N7…NPNトランジスタ、CM1～CM5…カ
レントミラー回路。

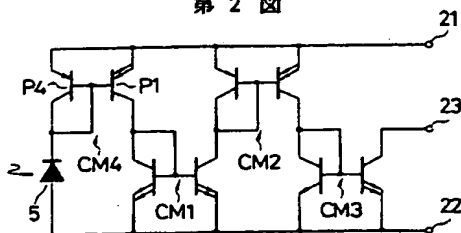
出願人代理人 弁理士 鈴江武彦



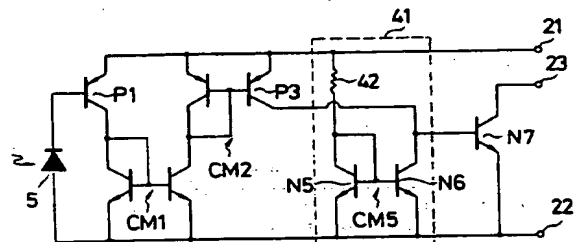
第 1 圖



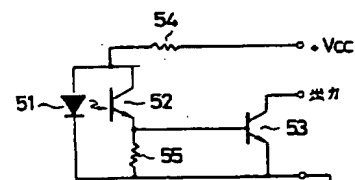
第 2 区



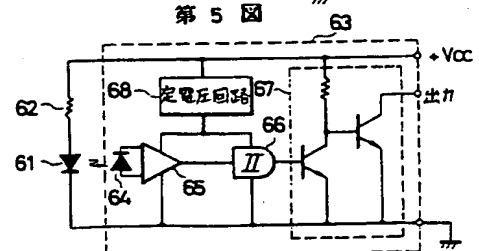
第 3 圖



第 4 圖



第 5 区



第 6 图